

研究タイトル：

# 電流テストによる論理回路の検査について



氏名： 月本功 / TSUKIMOTO Isao E-mail: tukimoto@es.kagawa-nct.ac.jp

職名： 講師 学位： 博士(工学)

所属学会・協会： 電子情報通信学会, エレクトロニクス実装学会

キーワード： 検査, テスト, 論理回路, 電源電流

技術相談  
提供可能技術：  
・論理回路の検査  
・電源電流測定  
・VHDL による回路設計

## 研究内容： 静的電源電流測定による CMOS LSI のリード浮き検出

電子機器が小型・高性能化するにともない、電子回路を構成するプリント基板に部品を実装する際に生じる実装不良の検出が困難になっている。特に LSI はリード間の狭ピッチ化が進み、目視や画像処理による外観検査が難しくなっている。外観検査以外にも、回路を実際に動作させ、正常機能するかどうかを確認する機能テストが実施されるのが一般的である。機能テストでは、信号線の論理値が0、1いずれか固定値となる縮退故障として故障を扱う。LSI の実装不良のほとんどは、「過剰はんだによるリード間短絡故障」と「はんだ不足によるリード-基板間の断線故障(リード浮き)」である。短絡故障は故障箇所の論理値が一定となるため、機能テストでの検出が可能である。一方、断線故障は機能テストでは見逃す可能性がある。デジタル LSI を構成する CMOS 回路では、断線故障箇所の電圧が不定であり、周辺回路動作や周辺温度により変動するためである。CMOS 回路は電圧駆動タイプの回路で、入力インピーダンスが非常に大きく、断線故障箇所が電氣的に浮いた状態となり、入力端子電圧が不定となることによる。

機能テストでは LSI を実際に機能させ、正常動作するかで検査するのに対し、本検査法では電源から回路に供給される静的電源電流  $IDDQ$  を測定し検査を行う。正常な CMOS 回路は  $IDDQ$  が流れないという特徴がある。したがって、 $IDDQ$  が観測された場合には、異常があると判定できる。短絡故障が生じている場合には、故障箇所に短絡電流を流す条件を設定することで静的電源電流変化  $\Delta IDD$  を生じさせることができ、検出可能である。一方リード浮きが生じた場合、故障リードの電圧値がしきい値電圧付近であれば、CMOS 回路の特性上、 $\Delta IDD$  が生じ、リード浮きを検出できる。しかしながら、リード浮き発生箇所の電圧はしきい値電圧付近とは限らない。そこで図1のように回路を電極で挟み、交流電界を印加することで、リード浮き箇所電圧をしきい値電圧付近に誘導する。これにより、図2のように  $\Delta IDD$  が発生し、リード浮きを検出することができる。

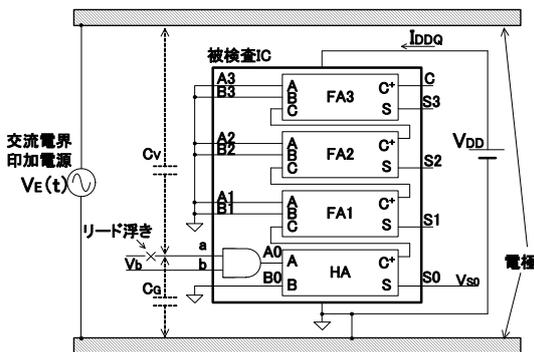


図1 リード浮き検出法

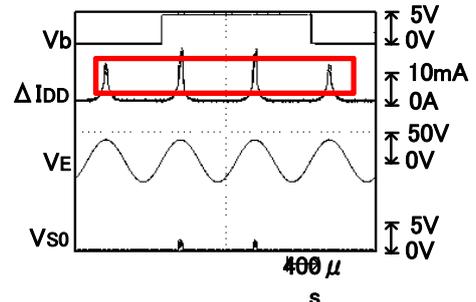


図2 検出結果

### 提供可能な設備・機器：

名称・型番(メーカー)

名称・型番(メーカー)	