

研究タイトル：

低消費電力動作 CMOS アナログ回路の設計



氏名：	田中 寿/TANAKA Hisashi	E-mail：	hitanaka@cc.miyakonojo-nc.t.ac.jp
職名：	准教授	学位：	博士(工学)
所属学会・協会：	電子情報通信学会、電気学会		
キーワード：	CMOS 回路、低消費電力、弱反転領域、オペアンプ、OTA		
技術相談 提供可能技術：	・電子回路設計および評価		

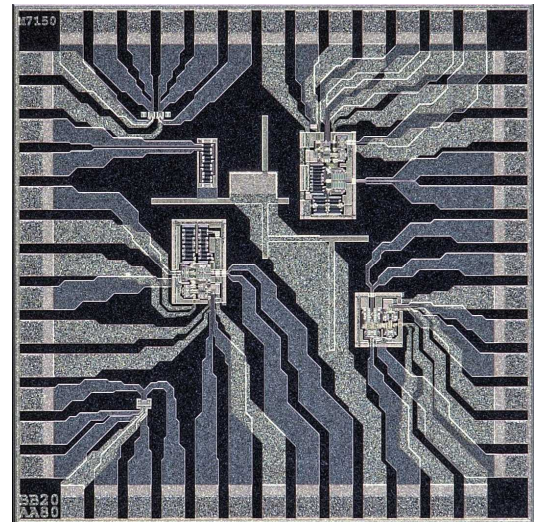
研究内容： 低消費電力動作可能な CMOS アナログ回路の設計に関する研究

近年、集積回路はデジタル・アナログ混載 LSI が主流となり、コストの面からアナログ回路も CMOS により構成されることが要求されている。LSI 製造技術における微細プロセスの進展に伴い、集積回路の規模及び搭載できる素子の数は増大しているが、使用できる半導体素子(本研究では MOSFET)の耐圧が低下し、回路設計に使用できる電源電圧も制限を受けてしまう。2 つの状態で信号処理を行うデジタル回路設計に比べて、アナログ回路では、電源電圧の低下に伴い所望の特性が得難く、設計が複雑になる要因となる。また、CMOS 回路設計では、バイポーラトランジスタに比べて電流駆動能力が劣るため、しきい値電圧以上のバイアスを印加して動作させる、MOSFET の強反転領域を用いた設計が一般的である。しかし、携帯電子機器等に集積されている回路はバッテリー駆動のため、長時間使用に耐えられるように消費電力を抑制した回路設計が求められており、回路設計に工夫が必要である。

そこで、本研究では、MOSFET のしきい値電圧以下のバイアスを印加して動作させる、MOSFET の弱反転領域を用いた回路設計に取り組んでいる。この回路設計におけるメリットとして次の 2 点を挙げる。

1. 回路を駆動させるための電源電圧を低く設定することができる。
2. MOSFET を流れる電流が小さいので回路全体の消費電力を抑制することができる。

回路設計の対象は、基本回路である演算増幅器(オペアンプ)やトランスコンダクタンス増幅器(OTA)である。これらの回路設計では、電圧利得やトランスコンダクタンスの改善が求められる。電源電圧 1.5 [V] 以下、消費電力 数 [μ W] 以下を目標仕様として、フィルタ回路やニューラルネットワーク回路への応用を想定した設計を行う。設計した回路はシミュレータ HSPICE を用いて動作の検証を行う。その後、マスクレイアウトを行い、大規模集積システム設計教育研究センター(VDEC)を通じてチップ試作を依頼し、試作した LSI の測定評価を行う。試作したチップの一例を右図に示す。



図：試作した LSI チップの一例

提供可能な設備・機器：

名称・型番(メーカー)	
デジタルストレージオシロスコープ・TDS2014B(Tektronix)	
マルチファンクションシンセサイザ・WF1946B(NF)	
デジタルマルチメータ・AD7461A(ADVANTEST) 2 台	