

研究タイトル:

高性能演算システムの設計および検証



氏名: 山田親稔 / YAMADA Chikatoshi E-mail: cyamada@okinawa-ct.ac.jp

職名: 准教授 学位: 博士(工学)

所属学会・協会: 電気学会, 電子情報通信学会, IEEE

キーワード: 組み込み技術, 再構成可能デバイス, HPC, モデル検査技術

技術相談
提供可能技術:
・ソフトウェア/ハードウェア統合化設計, 部分再構成
・GPU を用いた並列演算
・モデル検査を用いたシステムの上位設計検証

研究内容: 高性能・高信頼演算システムの設計および検証基盤の構築

・高性能・高信頼演算システムの設計と評価

近年のデジタルシステムにおける進歩は、高性能化・高機能化が一段と加速し、その中でも組み込みシステムの重要性が増し、システムに対する信頼性・安全性への要求が高まってきている。本研究では、多岐にわたるシステムの設計および開発を統合的に支援する環境の構築を目指している。これまで、以下の項目に重点的に取り組んできた。

・アルゴリズムのハードウェア設計

暗号処理および画像処理等を再構成可能なデバイスである FPGA によりハードウェア実装することで高速化を図った。暗号処理で用いる剰余演算、医用画像処理で用いるフィルタをハードウェア実装した。

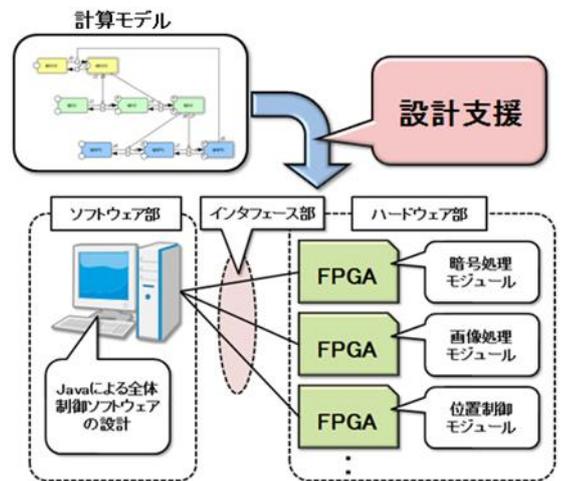
・GPU を用いた並列演算

演算に膨大な時間を要する適応的パイラテラルフィルタに GPU を用いることにより、高速化を可能とした。

・モデル検査を用いたシステムの上位設計検証

ハードウェア設計者がモデル検査手法を導入しやすくするために、Matlab/Simulink とモデル検査ツール SPIN を連携する検証基盤を構築した。本手法を用いて、システムの設計検証を行うと、検証に要する時間、メモリ容量を減少させることができ、効率的に上位設計検証を行うことが可能にした。

上記の成果を踏まえ、現在、右図に示す設計支援環境の構築に取り組んでいる。



「従来技術との優位性」

従来、用途に応じたシステムを設計する際、設計と検証を並行して実施することが困難であったが、本研究で提案する設計支援環境では、統合的かつ階層的に設計および検証を行うことが可能である。

「予想される応用分野」

- ・医用機器
- ・セキュリティ機器
- ・ネットワーク機器

提供可能な設備・機器:

名称・型番(メーカー)	
Logic Analyzer・TLA6202(Tektronix)	FPGA Board・DK-DEV-4SGX230N(Altera)
FPGA Board・ML605(Xilinx)	GPU・GV-TITAN-6GD-B(NVIDIA)
FPGA Board・ML403(Xilinx)	
FPGA NanoBoard 2・NB2(Altium)	
FPGA Board・AES-S6IVK-LX150T-G(Avnet)	

High-level Design and Verification for Embedded Systems



Name	Chikatoshi YAMADA	E-mail	cyamada@okinawa-ct.ac.jp
Status	Associate Professor		
Affiliations	Department of Information and Communication Systems Engineering, National Institute of Technology, Okinawa College		
Keywords	Embedded systems, reconfigurable systems, HPC, model checking		
Technical Support Skills	<ul style="list-style-type: none"> • VHDL/VerilogHDL, Matlab/Simulink, Reconfigurable techniques • FPGA, GPU • Model checking 		

Research Contents

Development of High-level System Design and Verification

High-level Design and Verification for Embedded Systems

Model checking plays an important role in the design of large scale and complex systems. The technique is applied to software requirement specifications and design specifications, and aims to increase the reliability and productivity. The objective of the work described is to provide a tool chain that supports using SPIN to model check systems specified as Simulink Stateflow models.

Hardware design of algorithms

Bilateral filter can be implemented at a one-chip circuit scale on a Xilinx FPGA.

Parallel processing using GPU

Estimation method of parameters has been proposed as the standard deviation of the prior probability noise distribution. Super Resolution method has been proposed that combines Bilateral Back Projection using Local Variance (BBPLV) and the detection of similar structure and data fusion.

High-level design verification of digital systems using model checking

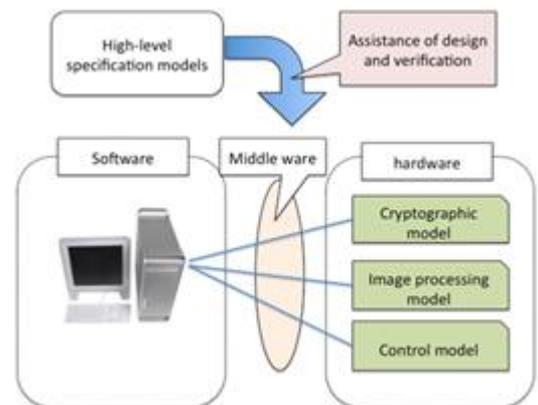
Tool chains are considered that support using SPIN to model check systems specified as Simulink Stateflow models.

Advantages for previous techniques

Verification shows especially efficient results for structures included behaviors and data using our proposed method.

Expecting application areas

Medical devices, Security devices, Network devices



Available Facilities and Equipment

Logic Analyzer • TLA6202 (Tektronix)	FPGA Board • DK-DEV-4SGX230N (Altera)
FPGA Board • ML605 (Xilinx)	GPU • GV-TITAN-6GD-B (NVIDIA)
FPGA Board • ML403 (Xilinx)	
FPGA NanoBoard 2 • NB2 (Altium)	
FPGA Board • AES-S6IVK-LX150T-G (Avnet)	