

研究タイトル：

**脳型情報処理ハードウェアの実現に向けたアナログ電子回路の設計・開発**

氏名： 松坂 建治 / MATSUZAKA Kenji E-mail: matsuzaka@ube-k.ac.jp

職名： 助教 学位： 博士(工学)

所属学会・協会：

キーワード： アナログ電子回路, 集積回路, 脳型情報処理

 技術相談  
 提供可能技術：
 

- ・アナログ電子回路設計
- ・集積回路設計


**研究内容： 脳型情報処理ハードウェアの実現に向けた神経系モデルに基づく電子回路の設計・開発**

本研究では、人間の脳のような高度な知的情報処理を実現する大規模集積回路(LSI)の実現に向けて、神経系モデルを模倣したアナログ電子回路の設計・開発を行う。生体の脳の情報処理に基づくハードウェア構築に関する研究は、1980年代後半から本格的に行われており、脳の神経系における演算および機能を半導体素子の物理現象またはそれらの組み合わせによって実現することを目指している。本研究では、このアプローチと同様に脳の情報処理に基づいた脳型ハードウェアを構築することを目指し、脳科学の知見を工学的に応用し大規模集積回路(LSI)を実現することを目的とする。

本研究では、脳の特徴的な情報処理・表現である、ニューロン発火の同期現象、および、スパイクパルスによるニューロン間の情報伝達に着目している。発火の同期現象をモデル化した縮約モデルとして結合位相振動子系がすでに知られており、また、スパイクパルスによる情報伝達をモデル化した結合位相振動子としてパルス結合位相振動子モデルがある。結合振動子系における振動子間の相互作用は位相差の関数である位相応答関数で決定され、この位相応答関数の違いにより結合位相振動子系は異なる同期現象を引き起こす。

パルス結合モデルを電子回路で実現する場合、位相変数の値は回路の出力するパルス信号のタイミングで表現され、回路の動作周期は振動子の振動周期そのものとなる。また、更新動作は振動子が準周期的に発するスパイクパルス信号によって非同期的なタイミングで行われ、外部クロックを必要としない。この更新動作による演算結果は振動子の次の発火タイミングに直接反映されるため、振動子のダイナミクスを連続時間で演算できる。パルス結合位相振動子モデルを回路化することによって、脳の神経細胞モデルに学んだ高速かつ高効率なスパイクベース演算を実行する新しい脳型ハードウェアの実現が期待できる。

これまでに、位相応答関数を変形・簡略化して回路実装を容易にし、スパイクベース演算のためのパルス結合位相振動子モデルを実現するアナログ CMOS 回路が提案され LSI 実装が行われた[1]。さらにこの回路を、自然画像の大局的画像領域分割が可能な脳の視覚情報処理モデルである結合マルコフ・ランダム・フィールド(MRF)モデルに適用した画像処理 LSI が開発された[2]。この LSI は非常に高い演算性能 / 電力比を示しており、神経系モデルに基づくスパイクベース演算を回路実装することによって高速かつ高効率な情報処理ハードウェアが実現可能であることを示唆している。一方で、さらなるネットワーク規模の拡大および回路の高集積化に向けてはいくつかの課題が残されている。

本研究では今後、パルス位相振動子系を実現するスパイクベース演算回路のさらなる大規模集積化に向けて、アナログ CMOS 電子回路の改良および大規模ネットワークへの拡張を行っていく。

[1] K. Matsuzaka, K. Nakada, and T. Morie, "Analog CMOS Circuit Implementation of a System of Pulse-Coupled Oscillators for Spike-Based Computation", IEEE Int. Symp. on Circuits and Systems, pp. 2849-2852, 2011.

[2] K. Matsuzaka, H. Tanaka, S. Ohkubo, and T. Morie, "VLSI Implementation of a Coupled MRF Model Using Pulse-coupled Phase Oscillators", Electronics Letters, Vol. 51, Issue 1, pp 46-48, 2015.

**提供可能な設備・機器：**

名称・型番(メーカー)

名称・型番(メーカー)	