

研究タイトル：

パルスニューロチップの開発に関する研究



氏名：	松尾和典 / MATSUO Kazunori	E-mail：	matsuo@kumamoto-nct.ac.jp
職名：	准教授	学位：	博士(工学)
所属学会・協会：	電子情報通信学会		
キーワード：	パルスニューロチップ、ASIC、CAD		
技術相談 提供可能技術：	<ul style="list-style-type: none"> ・最適化問題解決へのヒューリスティック手法の適用技術 ・ ・ 		

研究内容： ニューロチップの開発

ニューラルネットワークとは、人間の脳神経系をモデルとした情報処理システムのことである。ニューラルネットワークは、文字認識や音声認識、株価の予測、ロボット制御など幅広い分野への適用が行われている。ニューラルネットワークは学習能力を持ち、必要とされる機能を与えられたサンプルに基づき自動形成することができる。我々の身近なところでも手書き文字のパターン認識や、カーナビなどの音声認識などに利用されている。しかし、現在実用化されているこれらの多くは、ソフトウェア上で実現されている。そのため、本来のニューラルネットワークの特長である並列処理が順次処理に置き換えられ、処理に膨大な時間を要してしまう。そこで本研究では、ニューラルネットワークをハードウェア化させることで、並列処理を実現し、処理の高速化を目指す。用いるパルスニューロンモデルは、入力信号と出力信号を時系列的なパルス列として扱うモデルであるため、入出力ピン数を大幅に少なくすることが出来る。さらに、2 値の実数値の乗算は論理積 (AND) か、パルス列を選択信号としたマルチプレクサ (MUX) で実現出来るので、回路規模が小さく、高速なデバイスを設計することが出来る。図 1 にパルスニューロンモデルの模式図を示す。

開発は VHDL、動作検証は FPGA ボード上で行い、ASIC 試作には VDEC (VLSI Design and Education Center) から提供されている複数の CAD ツールを用いた。今回設計したパルスニューロチップは入力ユニット 2 個、中間ユニット 2 個、出力ユニット 1 個の汎用ニューロチップである。4bit の教師信号を与えることで 2 入力に対する出力を返すように学習することができる。また、表 1 に示すようにチップに実装するために必要となる総面積も McCulloch-Pitts モデル型ニューラルネットワークに比べて小さくできた。

試作したニューロチップに対して周辺回路を作成し、XOR の学習を入出力が学習できることを確かめた。

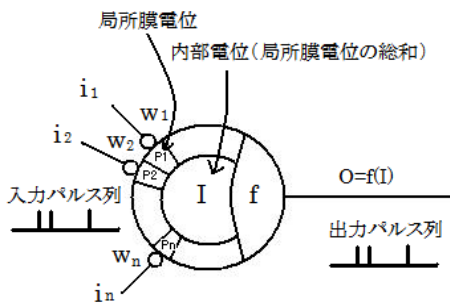


図 1 パルスニューロンモデル

表 1 論理合成結果

	パルスニューロン	参考: McCulloch-Pitts
入出力ピン数	11	44
ブロック中のネット数	2131	1572
合成後のセル数	1875	1239
合成で使用したセルの種類	53	76
組み合わせ回路の面積[μm^2]	47477.6	149093.7
順序回路の面積[μm^2]	28601.39524	15286.12
配線領域の面積[μm^2]	51.772133	109.7909
セルの総面積[μm^2]	76079.00148	164379.8
総面積[μm^2]	76130.77362	164489.6

提供可能な設備・機器：

名称・型番(メーカー)	
特になし	